

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-013919

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G09G 3/28
G09G 3/20
G09G 3/288

(21)Application number : 11-186391

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.06.1999

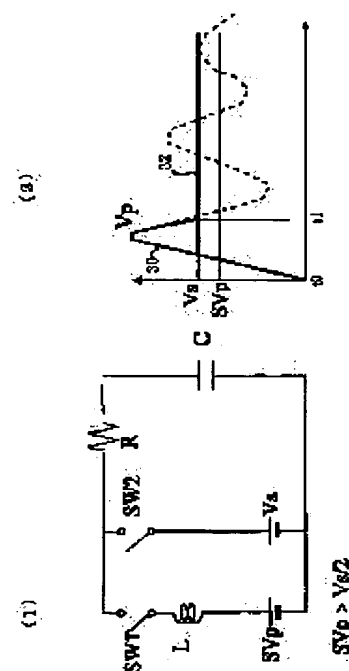
(72)Inventor : SAKIDA KOICHI

(54) DRIVING CIRCUIT OF DISPLAY PANEL ON WHICH LIGHT EMITTING EFFICIENCY IS IMPROVED

(57)Abstract:

PROBLEM TO BE SOLVED: To generate priming pulses having a high crest value by using a low power supply voltage by utilizing an oscillating circuit as a circuit which generates sustain discharging pulses having thin width priming pulses.

SOLUTION: At time t_0 , only a switch SW1 is turned on, i.e., closed to constitute an oscillating circuit that is made up with a power supply SV_p , an inductance L and a capacitance C between X-Y electrodes of a sustain electrode. In the oscillating circuit, an oscillating voltage, which has an amplitude V_p centered around the voltage SV_p , is generated for the capacitance C . The oscillating signals are slowly attenuated by a parasitic resistance R which exists at either the X electrode or the Y electrode (refer to the dotted lines in the figure). Therefore, when a first peak voltage of the oscillating operation is completed, i.e., at time t_1 , the switch S1 is opened and a switch S2 is turned on, i.e., closed. Thus, a constant voltage V_s is applied to the capacitance C . The solid lines indicate a wall electric charge forming pulse 32 which is made up with a thin width priming pulse 30 and a constant voltage V_s that is formed after the pulse 30 occurs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-13919
(P2001-13919A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl. ⁷	識別記号	F I	テームト*(参考)
G 0 9 G 3/28		G 0 9 G 3/28	J 5 C 0 8 0
3/20	6 2 2	3/20	6 2 2 C
	6 4 1		6 4 1 E
3/288		3/28	E
			B
審査請求 未請求 請求項の数3 O L (全 10 頁)			

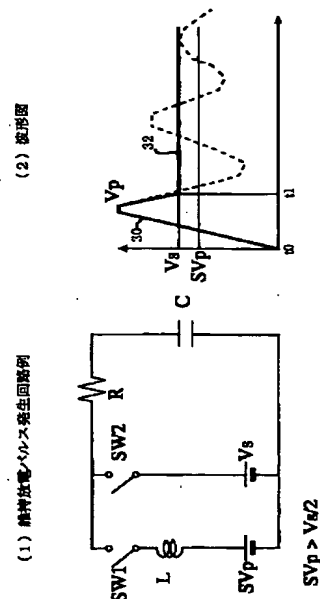
(21)出願番号	特願平11-186391	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成11年6月30日(1999.6.30)	(72)発明者	崎田 康一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	100094525 弁理士 土井 健二 (外1名)
		Fターム(参考)	5C080 AA05 AA06 BB05 CC03 DD01 DD09 DD22 DD27 EE29 HH02 HH04 HH05 JJ03 JJ04 JJ06

(54)【発明の名称】 発光効率を向上させた表示パネルの駆動回路

(57)【要約】

【課題】維持放電の発光効率を高くする駆動回路を提供する。

【解決手段】X電極とY電極を含む維持電極と、その維持電極の上に形成された誘電体層とを有する第1の基板と、第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路であって、維持電極にインダクタンス成分を介して第1の電圧源を接続し、第1の電圧源より高い波高値のブライミングパルスを印加するスイッチを有する維持放電パルス発生回路を有することを特徴とする。X、Y電極間の容量とインダクタンス成分とによる発振動作により、第1の電圧より高い波高値のブライミングパルスを印加することができ、発光効率を高くすることができる。



【特許請求の範囲】

【請求項1】X電極とY電極を含む維持電極と、前記維持電極の上に形成された誘電体層とを有する第1の基板と、前記第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路において、前記X電極にインダクタンス成分を介して第1の電圧源を接続し、前記第1の電圧源より高い波高値のブライミングパルス印加する第1のスイッチと、前記X電極にブライミングパルスを印加後、前記波高値より低い第2の電圧をX電極に印加する第2のスイッチとを有する維持放電パルス発生回路を有することを特徴とする表示パネルの駆動回路。

【請求項2】X電極とY電極を含む維持電極と、前記維持電極の上に形成された誘電体層とを有する第1の基板と、前記第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路において、前記X電極にインダクタンス成分を介して第1の電圧源を接続し、前記第1の電圧源より高い波高値のブライミングパルスを印加する第1のスイッチを有するX電極側維持放電パルス発生回路と、前記X電極に前記ブライミングパルスを印加後、前記波高値より低い第2の電圧を前記Y電極に印加する第2のスイッチを有するY電極側維持放電パルス発生回路とを有することを特徴とする表示パネルの駆動回路。

【請求項3】X電極とY電極を含む維持電極と、前記維持電極の上に形成された誘電体層とを有する第1の基板と、前記第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路において、前記X電極にインダクタンス成分を介して第1の電圧源を接続し、前記第1の電圧源より高い波高値のブライミングパルスを印加する第1のスイッチを有するX電極側維持放電パルス発生回路と、前記Y電極にインダクタンス成分を介して前記第1の電圧源を接続し、前記X電極に前記ブライミングパルスを印加後、前記第1の電圧源より高い波高値のブライミングパルスを印加する第2のスイッチを有するY電極側維持放電パルス発生回路とを有することを特徴とする表示パネルの駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3電極を有する面放電型のプラズマ・ディスプレイ・パネル（以下PDPと称する。）やエレクトロルミネッセンス・パネル（以下ELパネルと称する。）などの表示パネルに関し、特に、維持放電用の駆動回路を改良して発光効率を向上させた表示パネルの駆動回路に関する。以下、明細書ではPDPを例にして説明する。

【0002】

【従来の技術】PDPは、大画面でフラットな表示パネルを実現でき、将来の表示パネルとして期待されてい

る。従来のPDPの一例は、前面基板側に維持電極（X、Y電極）が設けられ、背面基板側にアドレス電極とその上に蛍光体が設けられた構造を有する。

【0003】その駆動方法は、次の通りである。サブフレームの最初のリセット期間に、維持電極のX、Y電極間にリセットパルスを印加して全画素を放電し、前サブフレームでの壁電荷を消去する。次のアドレス期間にて、Y電極に順次走査パルスを印加し、同時に表示データに基づいて点灯すべき画素に対応するアドレス電極にアドレスパルスを印加する。これにより、アドレス電極とY電極間の電圧により放電空間内の電界強度が増加し、アドレス放電が発生し、表示したい画素に壁電荷が蓄積される。それに続く維持放電期間では、X電極とY電極との間に交番電圧を印加し、アドレス期間に壁電荷を蓄積した画素において維持放電を発生させ、その画素を点灯させる。

【0004】従って、維持放電パルスの波高値とパルス幅は、壁電荷を蓄積した画素では放電するが、壁電荷を蓄積しない画素では放電しない最適な値に設定する必要がある。その為、より高い輝度を得るために維持放電パルスの波高値を無制限に高くすることはできず、発光効率向上を妨げる要因になっていた。

【0005】そこで、発光効率を高くする維持放電パルスとして、維持放電パルスの立ち上がり時にパルス幅が非常に短くより高い波高値を有するブライミングパルスを印加することが提案されている。例えば、IDW（International Display Workshops）'98の551～554頁の「A New Driving Method for Vertical Discharge PDP, Yoshifumi Amano, Joichi Endo, Bala K. Velayudhan著」に記載されている。

【0006】

【発明が解決しようとする課題】しかし、かかる維持放電パルスを維持電極に印加する回路については、提案されていない。上記の維持放電パルスは、従来の維持放電パルスの波高値よりも高い波高値を有するので、かかる駆動回路は、単純には、より高い電源が必要になり、表示パネルの駆動電源を大きく変更若しくは別の高い電源を追加することが必要になる。

【0007】そこで、本発明の目的は、従来の電源を利用して、上記の維持放電パルスを生成することができる駆動回路を有する表示パネルを提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、X電極とY電極を含む維持電極と、その維持電極の上に形成された誘電体層とを有する第1の基板と、第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路であって、X電極にインダクタンス成分を介して第1の電圧源を接続し、第1の電圧源より高い波高値のブライミングパルスを印加する第1のスイッチと、X電極にブラ

イミングパルス印加後その波高値より低い第2の電圧をX電極に印加する第2のスイッチとを有する維持放電パルス発生回路を有することを特徴とする。

【0009】かかる維持放電パルス発生回路は、Y電極側にも設けられ、X電極側とY電極側とで交互にその維持放電パルス回路を動作させることにより、第1及び第2の電圧より高い波高値を持つブライミングパルスを最初に有する維持放電パルスを、X電極とY電極に交互に印加することができ、発光効率の高い維持放電を可能にする。この場合は、X、Y電極間の電圧が逆極性になる。第1の電圧と第2の電圧とは同じ電圧電源であっても良い。

【0010】上記の目的を達成するために、本発明の第2の側面は、X電極とY電極を含む維持電極と、その維持電極の上に形成された誘電体層とを有する第1の基板と、第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路であって、X電極にインダクタンス成分を介して第1の電圧源を接続し、第1の電圧源より高い波高値のブライミングパルスを印加する第1のスイッチを有するX電極側維持放電パルス発生回路と、X電極にブライミングパルスを印加後、その波高値より低い第2の電圧をY電極に印加する第2のスイッチを有するY電極側維持放電パルス発生回路とを有することを特徴とする。

【0011】上記の発明によれば、X、Y電極間に第1及び第2の電圧より高い波高値を持つブライミングパルスを最初に有する維持放電パルスを印加することができ、発光効率の高い維持放電を可能にする。この場合は、X、Y電極間の電圧が同極性になる。第1の電圧と第2の電圧とは同じ電圧電源であっても良い。

【0012】上記の目的を達成するために、本発明の第3の側面は、X電極とY電極を含む維持電極と、その維持電極の上に形成された誘電体層とを有する第1の基板と、第1の基板と放電空間を隔てて設けられる第2の基板とを有する表示パネルの駆動回路であって、X電極にインダクタンス成分を介して第1の電圧源を接続し、第1の電圧源より高い波高値のブライミングパルスを印加する第1のスイッチを有するX電極側維持放電パルス発生回路と、Y電極にインダクタンス成分を介して第1の電圧源を接続し、X電極にブライミングパルスを印加後、第1の電圧源より高い波高値のブライミングパルスを印加する第2のスイッチを有するY電極側維持放電パルス発生回路とを有することを特徴とする。

【0013】上記の発明によれば、X、Y電極間に第1の電圧より高い波高値を持つ短いパルス状のブライミングパルスを極性を交互に変えて印加することができ、発光効率の高い維持放電を可能にする。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形

態例が、本発明の技術的範囲を限定するものではない。本発明は、PDPやELパネルに適用することができるが、以下の実施の形態例では、PDPを例にして説明する。

【0015】図1は、本実施の形態例が適用されるPDPの概略的構成図である。前面側基板1は、透明基板であり、例えばガラス基板で構成される。前面側ガラス基板1上には、維持電極2としてX電極とY電極が交互に設けられ、X電極とY電極で表示電極対を構成する。維持電極2上には、誘電体層3とMgOからなる保護層3とが設けられる。背面側基板11は、例えばガラス基板で構成され、維持電極2と直交方向に複数のアドレス電極12、図示されない誘電体層、蛍光体13R、13G、13B及び隔壁14とが形成される。隔壁14は、アドレス電極12の間に設けられる。

【0016】図2は、図1に示したPDPの駆動パルス波形の例を示す図である。図2には、1回のサブフレーム分の駆動パルス波形が示される。駆動期間は、リセット期間RST、アドレス期間ADD及び維持放電期間SUSとからなる。図2(1)はアドレス電極、(2)は維持電極のX電極、(3)は維持電極のY電極の波形をそれぞれ示す。

【0017】リセット期間RSTにおいて、全てのアドレス電極12にリセットパルス20を印加し、アドレス電極とY電極との間にリセット放電を発生させる。このリセットパルス20の立ち下がり時に、再度放電が発生し、全ての画素における壁電荷が消滅する。アドレス期間ADDでは、Y電極に順次、負のスキャンパルス22を印加しながら、アドレス電極12に画像データに従って正のアドレスパルス21を印加する。その結果、スキャンパルス22とアドレスパルス21とが同時に印加された画素において、X電極とアドレス電極との間にアドレス放電が発生する。このアドレス放電により発生した空間電荷は、X電極2上の誘電体層3上に壁電荷として蓄積される。

【0018】維持放電期間SUSにおいて、維持電極2間に交互に維持放電パルス23が印加される。この維持放電パルス23の波高値Vsは、アドレス期間に壁電荷が蓄積された画素では維持放電が発生するが、壁電荷が蓄積されない画素では維持放電が発生しない程度の値に設定される。従って、アドレス期間ADDに放電した画素だけが、維持放電期間SUSにおいて維持放電を繰り返す。維持放電期間の長さを適切に設定することで、画素に所望の輝度を与えて表示することができる。また、維持放電パルスの電圧Vsとパルス幅に見合った量の電荷が壁電荷として蓄積される。

【0019】PDPにおける発光効率は、維持放電期間SUSにおける得られる輝度と消費電力との割合で決まる。即ち、少ない消費電力で多くの輝度が得られる場合が、発光効率が高くなる。また、単純に輝度を上げるた

めには、維持放電パルス23の波高値 V_s を高くして、放電によりガス空間内に発生する空間電荷の量を多くし、蛍光体13を励起する電荷量を多くすれば良い。或いは、維持放電パルス数を多くすれば輝度を上げることができる。

【0020】しかし、維持放電パルスの波高値 V_s やパルス幅は、アドレス期間の放電による壁電荷の有無に従って維持放電が発生するメモリ作用を実現できる範囲に制限される必要がある。むやみに波高値を高くすることは、かかる維持放電パルスの動作マージンを狭くすることになり好ましくない。また、波高値を高くし、パルス幅を十分長くすることは、消費電力の増大につながり、発光効率を上げることにならない。また、一定時間に制限されている維持放電期間内の維持放電パルス数を多くすると、パルス幅が狭くなり、壁電荷を蓄積するに十分な時間がなくなり、メモリ作用が失われる。

【0021】図3は、従来の維持パルス（サステインパルス）とプラズマ放電により発生する空間電荷密度とを示す図である。図3（1）は、図2に示した維持放電パルスを印加した場合のX-Y電極間の電圧であり、（2）はそれに伴うプラズマ放電により発生する空間電荷である。

【0022】図3に示される通り、維持放電パルスの立ち上がり時にプラズマ放電が発生し、空間電荷（電子とイオン）の密度が急激に増大し、維持放電パルスによるX-Y電極間の電界に従って電子とイオンがそれぞれ反対側の電極上に引き寄せられ、維持放電パルスの電界を打ち消すように壁電荷が形成される。やがて、放電は終息するので、空間電荷の密度は、図示される通り急激に減衰する。この場合、空間電荷の密度は、維持放電パルスの波高値 V_s に対応する。また、発生した空間電荷は、維持放電パルスによる電界に応じて誘電体層3上に引き寄せられる。従って、十分に電荷を引き寄せる為には、ある程度の維持放電パルス幅が必要になる。

【0023】図4は、前述の提案されている細幅ブライミングパルスを利用した維持放電パルスと空間電荷密度との関係を示す。図4の例は、波高値 V_p のブライミングパルス30と波高値 V_s の壁電荷形成パルス32とが同極性の場合である。

【0024】この細幅ブライミングパルス付き維持放電パルスによれば、従来の維持放電パルスの波高値 V_s より高いがパルス幅が狭いブライミングパルスを最初に印加する。これにより、より大きな規模のプラズマ放電を発生させ、発生する空間電荷の密度をより高くする。但し、ブライミングパルスの波高値 V_p は、従来と同様にメモリ特性を維持できる高さに設定され、壁電荷を有する画素のみに放電が発生するようにする。また、ブライミングパルス30のパルス幅は、壁電荷の蓄積が行われない程度の細幅に設定される。

【0025】そして、ブライミングパルス30により発

生した規模の大きな空間電荷は、後続する壁電荷形成パルス32により維持電極2上の誘電体層3上に吸収され、後続する維持放電に必要な壁電荷を形成する。この壁電荷形成パルス32の波高値 V_s は、従来の維持放電パルスの波高値と同程度であり、ブライミングパルス30の波高値 V_p よりは十分に低い。ブライミングパルスによる規模の大きな放電により空間電荷密度が高くなり、輝度も高くなる。しかし、維持放電パルスは、ブライミングパルス30のみがその波高値 V_p が高く、残りの壁電荷形成パルス32の波高値 V_s は従来と同様であるので、全体の消費電力はそれほど増大せず、より高い輝度を得ることができ、発光効率を高くすることができる。また、壁電荷は、壁電荷形成パルス32の波高値 V_s （電界）とそのパルス幅に見合った量になるので、後続する維持放電における動作マージンも十分とることができる。ブライミングパルス30の波高値 V_p でパルス幅が広い場合は、壁電荷の量が多くなり、後続の維持放電における動作マージンは狭くなる。

【0026】図5は、細幅ブライミングパルス付きの逆極性の維持放電パルスと空間電荷密度を示す図である。この例も、細幅であるが波高値 V_p が高いブライミングパルスを利用して、より高い空間電荷密度を生成して輝度値を上げると共に、無駄な消費電力を無くして適切な量の壁電荷を形成し、発光効率を上げ、動作マージンを高く維持する。

【0027】図4と異なるところは、ブライミングパルス30と壁電荷形成パルス32とが逆極性になっていることである。従って、図5の例では、ブライミングパルス30により発生した空間電荷の内、イオンはX電極側に電子はY電極側に常に引き寄せられ、連続する維持放電は、常にX電極側が正電位、Y電極側が負電極となる。従って、放電を発生するブライミングパルス30の極性は、いつも同じ極性になる。

【0028】前述の文献には、図5の如き維持放電パルスが記載されている。この波高値の高いブライミングパルスを生成するためには、パルス発生回路に、従来の電源電圧 V_s に加えて、より高い電源電圧 V_p を設ける必要がある。しかしながら、かかる高い電源電圧 V_p を設けることは、駆動回路ICの大幅な変更につながり、その基板の設計も変更する必要があり、コストアップにつながる。

【0029】図6は、本実施の形態例における維持放電パルス発生回路の原理を説明するための図である。図6（1）は、維持放電パルス発生回路の例であり、（2）は容量Cに印加される電圧波形図である。図6（1）において、容量Cは、維持電極2のX-Y電極間の容量を示す。従って、維持放電パルス発生回路は、スイッチSW1、SW2と、インダクタンスLと2つの電源 S_{Vp} 、 V_s とを有する。

【0030】図6（2）に示される通り、時刻 t_0 にお

いて、スイッチSW1のみをオンして、電源V_pとインダクタンスL及び容量Cからなる発振回路を構成する。かかる発振回路では、容量Cに対して電圧SV_pを中心として振幅SV_pの発振電圧が発生する。X電極若しくはY電極に存在する寄生抵抗Rによりその発振信号は破線に示す通り徐々に減衰する。そこで、この発振動作による最初のピーク電圧が終了するタイミングの時刻t₁において、スイッチS1を閉じてスイッチSW2をオンにする。それに伴い、容量Cには、一定の電圧V_sが印加されることになる。即ち、図6(2)の波形図の実線は、図4、5で示した高い電圧で細幅のブライミングパルスとその後の一定電圧V_sの壁電荷形成パルスとの組み合わせと同等になることが理解される。

【0031】しかも、図6(1)の維持放電パルス発生回路では、電源SV_pの電圧値は、従来の電源V_sの電圧より低いことが許され、単にSV_p>V_s/2が満たされれば、細幅のブライミングパルス30の波高値V_pは、壁電荷形成パルス32の波高値V_sより高くすることができる。電源SV_pの2倍が、電源V_sの電圧より高ければ良く、電源SV_pと電源V_sとを同じ電圧にすることも原理的には可能である。

【0032】上記のスイッチSW1をオンした時の発振回路の電圧V(t)は、次の式で表される。

【0033】

【数1】

$$V(t) = SV_p \left\{ 1 - e^{-\alpha t} \frac{\sin(\beta t + \theta)}{\sin \theta} \right\}$$

$$\text{但し } \alpha = \frac{R}{2L}, \quad \beta = \sqrt{\frac{1}{LC} - \left(\frac{R}{2L}\right)^2}$$

従って、ブライミングパルス30のピーク値V_pは、上式でβt=πの時に該当し、

【0034】

【数2】

$$V_t = SV_p \left\{ 1 + e^{-\pi / \sqrt{4 \left(\frac{1}{CR} \right) \left(\frac{L}{R} \right) - 1}} \right\}$$

になる。従って、ピーク値V_pは、最大で電源SV_pの2倍になる。

【0035】図5に示した逆極性の維持放電パルスを形成するためには、電源V_sの方向を逆にすれば良い。具体的回路については、後述する。

【0036】図7は、第1の実施の形態例における維持放電パルス発生回路を示す図である。X電極側の回路は、第1の電圧源SV_pに接続されたP型トランジスタP1、第2の電圧源V_sに接続されたP型トランジスタP2、インダクタンスL、グラウンドに接続されたN型トランジスタN3、ダイオードD1、D2、D3を有す

る。Y電極側の回路も、同じ回路であり、トランジスタP11、P12、N13、インダクタンスL及びダイオードD11、D12、D13を有する。第1の電源SV_pと第2の電源V_sとは、SV_p>V_s/2を満たす必要があり、その条件を満たす場合は、同じ電圧源でも良い場合がある。但し、電源SV_pによるパルスの波高値V_pが動作マージンが存在することが必要である。

【0037】図8は、図7の維持放電パルス発生回路の動作波形図である。(1)はX電極の電圧波形図、

(2)はY電極の電圧波形図、(3)はX-Y電極間電圧波形図、(4)は制御信号IN1~IN3及びIN11~IN13の波形図である。図8に従って、図7の維持放電パルス発生回路の動作を説明する。

【0038】時間t₀にて、制御信号IN1がLレベルになり、トランジスタP1が導通し、X電極にインダクタンスLを介して第1の電源SV_pを接続する。その時、Y電極側では制御信号IN11がHレベルにあり、トランジスタN13が導通し、グラウンド電位に接続される。従って、図6に示した発振回路が形成され、X電極には、細幅のブライミングパルス30が印加される。そのピーク値V_pは、第1の電源SV_pの約2倍にあり、第2の電源V_sよりも高い。

【0039】ブライミングパルス30が減衰する時刻t₁にて、制御信号IN1がHレベル、制御信号IN2がLレベルになり、トランジスタP1がオフ、トランジスタP2がオンになり、X電極はトランジスタP2とダイオードD2を介して第2の電源V_sに接続される。従って、X電極には電圧V_sの壁電荷形成パルス32が印加される。そして、時刻t₃にて制御信号IN2がHレベルに、制御信号IN3がHレベルになり、X電極はグラウンド電位に駆動される。

【0040】Y電極側の維持放電パルス発生回路も、同じ動作を行う。即ち、時間t₃でトランジスタP11がオンし、電源SV_pがインダクタンスLを介してY電極に接続される。その時、X電極側はトランジスタN3を介してグラウンドに接続され、発振回路が構成される。ブライミングパルス30がY電極に印加された後、時間t₄でトランジスタP11がオフ、トランジスタP12がオンし、Y電極は第2の電源V_pの電圧に維持される。そして、時間t₅でトランジスタP12がオフ、トランジスタN13がオンし、Y電極はグラウンド電位になる。

【0041】X電極とY電極に交互に、ブライミングパルス30とそれと同極性の壁電荷形成パルス32との組み合わせからなる維持放電パルスが印加されることにより、図8(C)の如き維持放電パルスが印加され、X-Y電極間で交互に維持放電が発生する。

【0042】図9は、第2の実施の形態例における維持放電パルス発生回路を示す図である。この例は、図5に示した逆極性のパルスを発生する。図9の維持放電パルス発生回路は、X電極側に、第1の電源SV_pに接続さ

10

20

30

40

50

れるP型トランジスタP20、インダクタンスL及びグランドに接続されるN型トランジスタN21を有する維持放電パルス発生回路が設けられる。また、Y電極側には、第2の電源Vsに接続されるP型トランジスタP22とグランドに接続されるN型トランジスタN23とからなる回路が設けられる。

【0043】図10は、図9の維持放電パルス発生回路の動作波形図である。(1)はX電極の電圧波形図、

(2)はY電極の電圧波形図、(3)はX-Y電極間電圧波形図、(4)は制御信号IN1~IN4の波形図である。図10に従って、図8の維持放電パルス発生回路の動作を説明する。

【0044】時間t0にて、制御信号IN1がLレベルになり、トランジスタP20が導通し、X電極にインダクタンスLを介して第1の電源SVpを接続する。その時、Y電極側では制御信号IN4がHレベルにあり、トランジスタIN23が導通し、グランド電位に接続される。従って、図6に示した発振回路が形成され、X電極には、細幅のブライミングパルス30が印加される。そのピーク値Vpは、第1の電源SVpの約2倍にあり、第2の電源Vsよりも高い。

【0045】ブライミングパルス30が減衰する時間t1にて、制御信号IN1がHレベル、制御信号IN2がHレベルになり、トランジスタP20オフ、トランジスタN21がオンになり、X電極はグランドに接続される。

【0046】次に、時間t2にて、制御信号IN3がLレベルになり、Y電極は第2の電源Vsに接続される。そして、時間t3で、制御信号IN3がHレベル、IN4がHレベルになり、トランジスタP22がオフ、トランジスタN23がオンして、Y電極はグランド電位に駆動される。

【0047】このようなX電極側のブライミングパルス30と、Y電極側の壁電荷形成パルス32とにより、X-Y電極間には、図10(C)に示されるような維持放電パルスが印加される。ブライミングパルスにより多くの空間電荷が発生し、蛍光体の励起を多くし、輝度を高くすることができる。また、壁電荷形成パルス32の電圧がVsと比較的低くパルス幅も最適に選択されるので、従来と同程度の壁電荷を形成し、維持放電パルスの動作マージンを広げることができる。また、消費電力も抑えることができる。

【0048】上記の維持放電パルス生成動作は、時間t4~t7においても繰り返される。即ち、X電極側には常にブライミングパルス30が印加され、Y電極側には常に壁電荷形成パルス32が印加される。

【0049】図11は、第3の実施の形態例における維持放電パルス発生回路を示す図である。また、図12は、その動作波形図である。第3の実施の形態例では、X電極とY電極に、ブライミングパルス30を交互に印加する。そのために、X電極側の回路は、第1の電源SVpに接続されたP型トランジスタP40と、グランドに

接続されたN型トランジスタN41と、インダクタンスLと、ダイオードD1とを有する。Y電極側の回路も同様に、第1の電源SVpに接続されたP型トランジスタP42と、グランドに接続されたN型トランジスタN43と、インダクタンスLと、ダイオードD2とを有する。

【0050】図12に示される通り、時間t0で制御信号IN1がLレベルになり、トランジスタP40が導通し、電源SVpがインダクタンスLを介してX電極に接続される。この時、制御信号IN4がHレベルにあるので、トランジスタN43が導通し、Y電極はグランド電位に接続される。従って、発振回路が形成され、X-Y電極間には、波高値Vpの細幅のブライミングパルス30が印加される。次に、時間t1でブライミングパルス30が減衰するタイミングで、トランジスタP40がオフになる。

【0051】次に、時間t2で制御信号IN3がLレベルになり、P型トランジスタP42が導通し、電源SVpがインダクタンスLを介してY電極に接続される。その時、X電極側はトランジスタN41を介してグランドに接続される。その結果、同様の発振回路が構成され、Y電極にはブライミングパルス30が印加される。そして、時間t3でトランジスタP42がオフになり、トランジスタN43が導通し、Y電極はグランド電位にされる。

【0052】上記の細幅のブライミングパルス30を印加することにより、壁電荷が存在する画素で維持放電が発生する。そして、その空間電荷の密度は高いので、輝度は高くなる。そして、第3の実施の形態例では、その大量の空間電荷を利用して、逆極性のブライミングパルス30を印加することで、逆方向の維持放電が発生する。このように、第3の実施の形態例では、2回目の維持放電からは、壁電荷ではなく、大量の空間電荷を利用して、所定回数の維持放電を繰り返す。

【0053】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0054】

【発明の効果】以上、本発明によれば、細幅のブライミングパルスを有する維持放電パルスを発生する回路として、発振回路を利用することにより、低い電源電圧Vsを利用して、高い波高値Vpのブライミングパルスを発生することができる。

【図面の簡単な説明】

【図1】本実施の形態例が適用されるPDPの概略的構成図である。

【図2】図1のPDPの駆動パルス波形の例を示す図である。

【図3】従来の維持パルス(サステインパルス)とブラズマ放電により発生する空間電荷密度とを示す図である。

【図4】細幅ブライミングパルスを利用した維持放電パルス(同極性)と空間電荷密度との関係を示す図であ

る。

【図5】細幅プライミングパルスを利用した維持放電パルス（逆極性）と空間電荷密度との関係を示す図である。

【図6】本実施の形態例の維持放電パルス発生回路の原理を説明するための図である。

【図7】第1の実施の形態例における維持放電パルス発生回路を示す図である。

【図8】図7の維持放電パルス発生回路の動作波形図である。

【図9】第2の実施の形態例における維持放電パルス発生回路を示す図である。

【図10】図9の維持放電パルス発生回路の動作波形図である。

【図11】第3の実施の形態例における維持放電パルス*

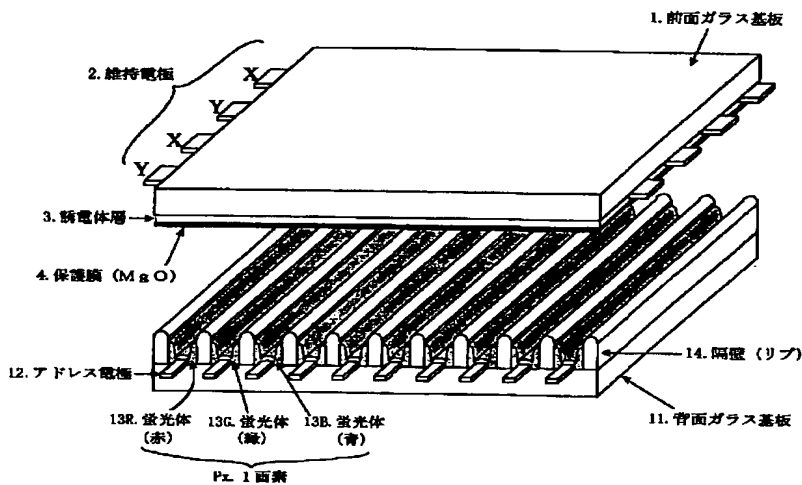
*発生回路を示す図である。

【図12】図11の維持放電パルス発生回路の動作波形図である

【符号の説明】

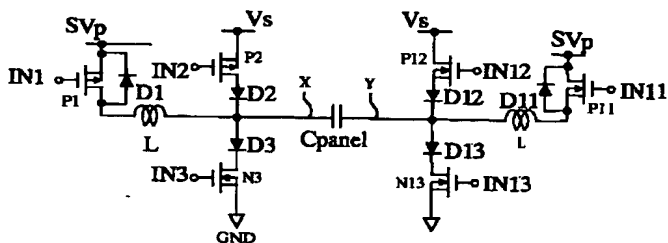
1	前面基板、第1の基板
2	維持電極、第2の基板
11	背面基板
12	アドレス電極
30	プライミングパルス
32	壁電荷形成パルス
SW1	第1のスイッチ
SW2	第2のスイッチ
L	インダクタンス
SVp	第1の電源
Vs	第2の電源

【図1】



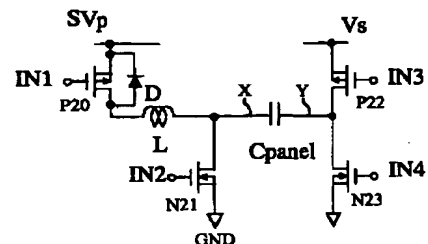
【図7】

第1の実施の形態例

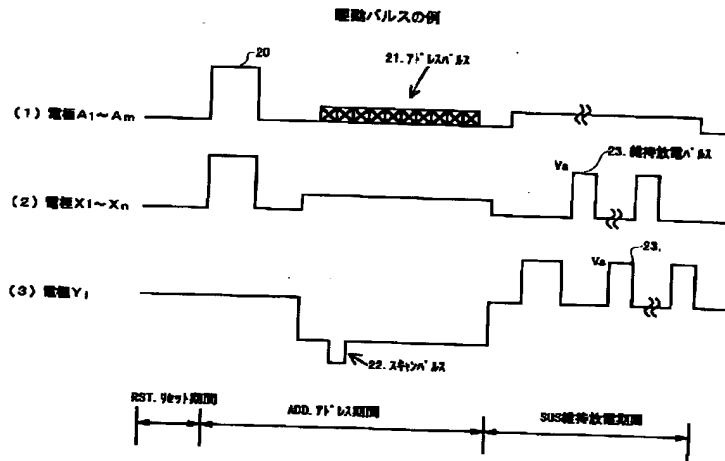


【図9】

第2の実施の形態例



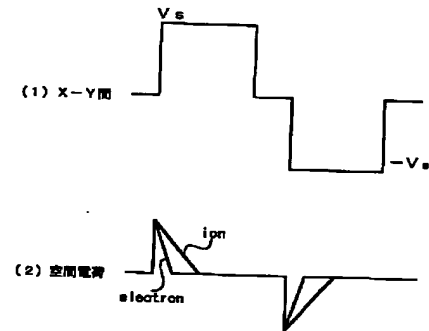
【図2】



【図4】

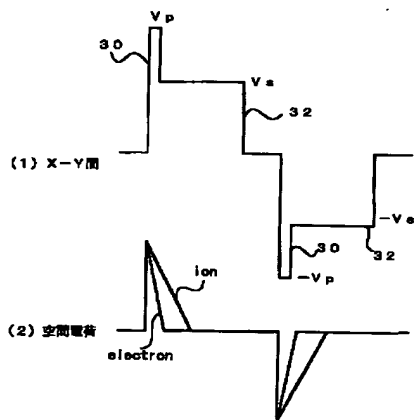
【図3】

従来のサステインパルスと空間電荷密度

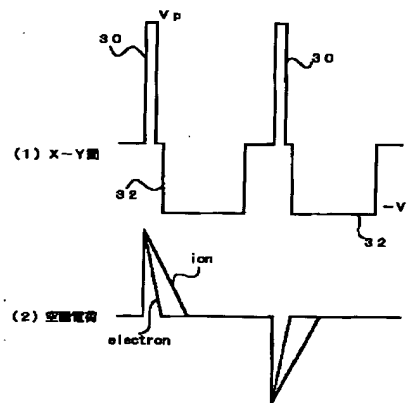


【図5】

細幅プライミング付きサステインパルス（同極性）と空間電荷密度

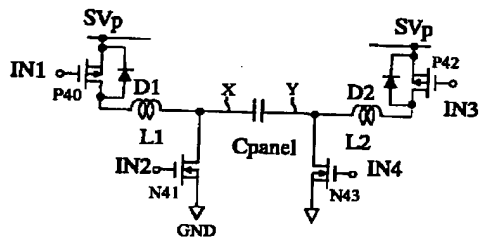


細幅プライミング付きサステインパルス（逆極性）と空間電荷密度

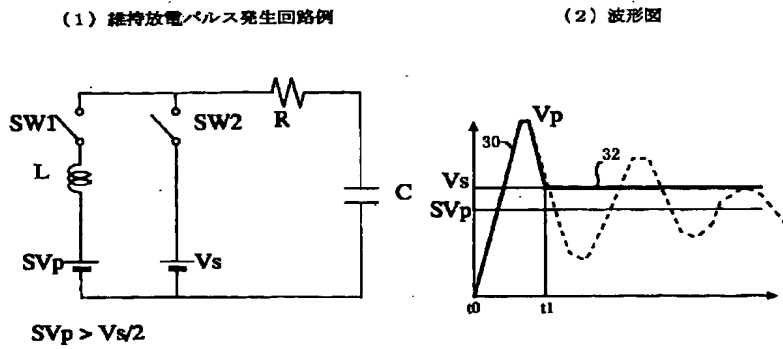


【図11】

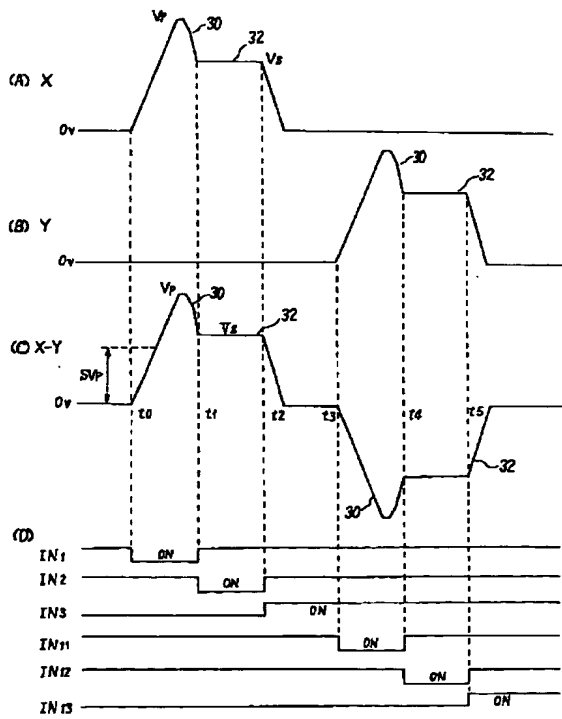
第3の実施の形態例



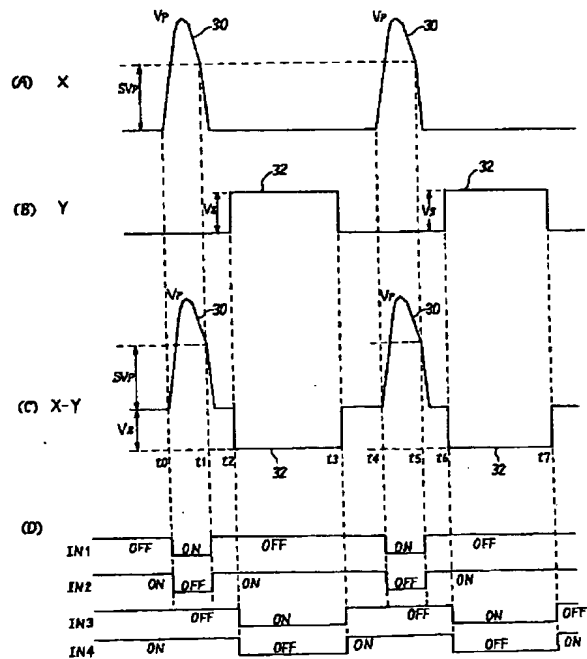
【図6】



【図8】



【図10】



(10)

【図12】

